

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hideki KOBAYASHI, et al.  
Serial No.: Not yet assigned ) Group: Not yet assigned  
Filed: Concurrently herewith ) Examiner: Not yet assigned  
For: "DATA REPRODUCTION ) Our Ref: B-4474 619476-8  
APPARATUS" ) Date: January 23, 2002



CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner of Patents and Trademarks  
Box New Patent Application  
Washington, D.C. 20231

Sir:

[X] Applicants hereby make a right of priority claim under 35  
U.S.C. 119 for the benefit of the filing date(s) of the  
following corresponding foreign application(s):

<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
JAPAN	25 January 2001	P2001-17534

[ ] A certified copy of each of the above-noted patent  
applications was filed with the Parent Application  
No. \_\_\_\_\_.

[X] To support applicant's claim, a certified copy of the above-  
identified foreign patent application is enclosed herewith.

[ ] The priority documents will be forwarded to the Patent Office  
when required or prior to issuance.

Respectfully submitted,

A handwritten signature in black ink, appearing to be "R. Berg".

Richard P. Berg  
Attorney for Applicant  
Reg. No. 28,145

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
Telephone: (323) 934-2300  
Telefax: (323) 934-0202

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月25日

出 願 番 号

Application Number:

特願2001-017534

出 願 人

Applicant(s):

パイオニア株式会社

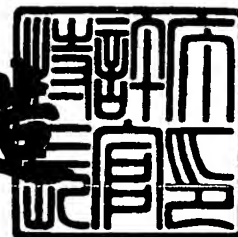


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 9月28日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 55P0396

【提出日】 平成13年 1月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/10

【発明者】

【住所又は居所】 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社総合研究所内

【氏名】 小林 秀樹

【発明者】

【住所又は居所】 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社総合研究所内

【氏名】 栗林 祐基

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100083839

【弁理士】

【氏名又は名称】 石川 泰男

【電話番号】 03-5443-8461

【手数料の表示】

【予納台帳番号】 007191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102133

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報再生装置

【特許請求の範囲】

【請求項 1】 記録媒体から読み出した再生信号に基づいてデジタルデータを再生する情報再生装置であって、

サンプリング用クロックに従って前記再生信号をサンプリングし、サンプル値系列に変換する変換手段と、

前記サンプル値系列に対し、位相誤差信号に基づいて位相を補正する位相補正手段と、

前記位相が補正されたサンプル値系列の位相誤差を検出し、前記位相誤差信号を生成する位相検出手段と、

前記位相誤差信号に基づいて前記サンプル値系列に同期する前記サンプリング用クロックを生成するクロック生成手段と、

を備えることを特徴とする情報再生装置。

【請求項 2】 前記位相補正手段は、複数のタップで構成されたトランスバーサルフィルタからなることを特徴とする請求項 1 に記載の情報再生装置。

【請求項 3】 前記トランスバーサルフィルタは、中心位置から対称的な伝達関数を用いてフィルタ演算を行い、前記位相誤差信号に基づいてタップ係数を設定することを特徴とする請求項 2 に記載の情報再生装置。

【請求項 4】 前記トランスバーサルフィルタは、中心位置から対称的な伝達関数を用いてフィルタ演算を行い、前記位相誤差信号に基づいて前記複数のタップの接続を選択的に切り換えることを特徴とする請求項 2 に記載の情報再生装置。

【請求項 5】 前記トランスバーサルフィルタは、中心タップに対称なタップ位置におけるタップ係数を前記位相誤差信号の極性に基づいて選択的に設定することを特徴とする請求項 2 又は請求項 3 に記載の情報再生装置。

【請求項 6】 前記トランスバーサルフィルタは、タップ係数に対応するテーブル値から構成される変換テーブルを備え、該変換テーブルを参照してタップ位置毎のタップ係数を設定することを特徴とする請求項 2 から請求項 5 のいずれ

かに記載の情報再生装置。

【請求項 7】 前記トランスバーサルフィルタは、前記位相誤差信号の絶対値が所定のしきい値より大きいとき、前記中心タップの位置から最も離れたタップ位置のタップ係数を 0 にすることを特徴とする請求項 2 から請求項 6 のいずれかに記載の情報再生装置。

【請求項 8】 前記位相誤差信号は、前記クロックの 1 周期分を越える範囲で変化し、前記トランスバーサルフィルタは、前記位相誤差信号の変化に対応して前記複数のタップの接続を選択的に切り換えることを特徴とする請求項 2 に記載の情報再生装置。

【請求項 9】 前記トランスバーサルフィルタは、 $n$  タップで構成され、前記位相誤差信号の変化に対応して隣接する  $m$  タップ ( $m < n$ ) を選択的に接続することを特徴とする請求項 8 に記載の情報再生装置。

【請求項 10】 前記位相検出手段には、前記サンプル値系列のゼロクロスを検出するゼロクロス検出手段が含まれることを特徴とする請求項 1 に記載の情報再生装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、記録媒体から読み出した再生信号に基づいてデジタルデータを再生する情報再生装置に技術分野に属し、特に、サンプリング用クロックに従って再生信号をサンプリングしてサンプル値系列に変換するとともに、PLL (Phase Locked Loop) によりサンプル値系列の位相同期を行う構成を備えた情報再生装置の技術分野に属するものである。

##### 【0002】

##### 【従来の技術】

近年、DVD 等の大容量のディスク状記録媒体を用い、デジタルデータを再生する情報再生装置が普及している。このような情報再生装置では、ピックアップによりディスク面のピット列に対応する RF 信号が読み出され、A/D 変換器によりアナログの RF 信号がデジタルのサンプル値系列に変換される。このと

き、A/D変換器に供給されるサンプリング用クロックは、サンプル値系列に位相同期させる必要があるので、サンプル値系列の位相を検出してクロック生成部にフィードバックするためのPLLが構成される。PLLは、記録媒体に対する高速な読み出し速度に追従するために、できるだけ広帯域化することが望ましい。すなわち、PLLの帯域が広いほど、それだけ短時間でサンプル値系列に同期をとることができる。

#### 【0003】

##### 【発明が解決しようとする課題】

しかしながら、上記の情報再生装置では、サンプル値系列の経路に種々の遅延要素が介在する。例えば、サンプル値に対する処理を伴う高域強調回路や各種信号処理回路や適応型の信号処理などが遅延要素に該当する。そして、これらの遅延要素がPLLのループ中に挿入されることにより無駄時間が発生し、PLLの位相余裕が減少することになる。そして、十分な位相余裕が確保できない場合は、PLLを広帯域化することが困難になる。このように、PLLを備えた情報再生装置では、遅延要素の存在によりPLLの広帯域化が制限されることが問題であった。

#### 【0004】

そこで、本発明はこのような問題に鑑みなされたものであり、記録媒体から読み出した再生信号に対しPLLによる位相同期をとる際に、遅延要素の存在にかかわらずPLLを広帯域化でき、良好な追従性で安定な位相同期を実現可能な情報記録再生装置を提供することを目的とする。

#### 【0005】

##### 【課題を解決するための手段】

上記課題を解決するために、請求項1に記載の情報再生装置は、記録媒体から読み出した再生信号に基づいてデジタルデータを再生する情報再生装置であって、サンプリング用クロックに従って前記再生信号をサンプリングし、サンプル値系列に変換する変換手段と、前記サンプル値系列に対し、位相誤差信号に基づいて位相を補正する位相補正手段と、前記位相が補正されたサンプル値系列の位相誤差を検出し、前記位相誤差信号を生成する位相検出手段と、前記位相誤差信

号に基づいて前記サンプル値系列に同期する前記サンプリング用クロックを生成するクロック生成手段とを備えることを特徴とする。

## 【0006】

この発明によれば、再生信号に基づくサンプル値系列の経路において、変換手段、位相補正手段、位相検出手段、クロック生成手段により第1のPLLが構成されるとともに、位相補正手段と位相検出手段により第2のPLLが構成される。よって、第1のPLLとこれに従属する第2のPLLに協働させる構成により、変換手段と位相補正手段の間に遅延要素が含まれる場合であっても第2のPLLは影響を受けることがないため、第2のPLLを広帯域化して良好な追従性で安定な位相同期を実現可能な情報記録再生装置を実現することができる。

## 【0007】

請求項2に記載の情報再生装置は、請求項1に記載の情報再生装置において、前記位相補正手段は、複数のタップで構成されたトランスバーサルフィルタからなることを特徴とする。

## 【0008】

この発明によれば、複数のタップ構成を持つトランスバーサルフィルタを位相補正手段として用いるので、サンプル値系列の位相の補正を比較的簡単な演算により行うことができる。

## 【0009】

請求項3に記載の情報再生装置は、請求項2に記載の情報再生装置において、前記トランスバーサルフィルタは、中心位置から対称的な伝達関数を用いてフィルタ演算を行い、前記位相誤差信号に基づいてタップ係数を設定することを特徴とする。

## 【0010】

この発明によれば、トランスバーサルフィルタに入力されたサンプル値系列は、位相誤差信号に基づくタップ係数により対称的な伝達関数で位相を補正されるので、例えばインパルス応答などの伝達関数を用意し、そのタップ位置を変化させつつ容易にフィルタ演算を行うことができる。

## 【0011】



請求項 4 に記載の情報再生装置は、請求項 2 に記載の情報再生装置において、前記トランスバーサルフィルタは、中心位置から対称的な伝達関数を用いてフィルタ演算を行い、前記位相誤差信号に基づいて前記複数のタップの接続を選択的に切り換えることを特徴とする。

## 【 0 0 1 2 】

この発明によれば、トランスバーサルフィルタに入力されたサンプル値系列は、位相誤差信号に基づいて各タップの接続を切り換えつつ、対称的な伝達関数で位相を補正されるので、例えばインパルス応答などの伝達関数を用意し、そのタップ位置を変化させつつ容易にフィルタ演算を行うことができる。

## 【 0 0 1 3 】

請求項 5 に記載の情報再生装置は、請求項 2 又は請求項 3 に記載の情報再生装置において、前記トランスバーサルフィルタは、中心タップに対称なタップ位置におけるタップ係数を前記位相誤差信号の極性に基づいて選択的に設定することを特徴とする。

## 【 0 0 1 4 】

この発明によれば、トランスバーサルフィルタに入力されたサンプル値系列に対し、位相誤差信号に極性に応じて対称位置のタップ係数を選択可能であるため、位相誤差信号が正の場合と負の場合でトランスバーサルフィルタの構成を共通にすることができる。

## 【 0 0 1 5 】

請求項 6 に記載の情報再生装置は、請求項 2 から請求項 5 のいずれかに記載の情報再生装置において、前記トランスバーサルフィルタは、タップ係数に対応するテーブル値から構成される変換テーブルを備え、該変換テーブルを参照してタップ位置毎のタップ係数を設定することを特徴とする。

## 【 0 0 1 6 】

この発明によれば、トランスバーサルフィルタにおけるタップ係数の設定は、変換テーブルを参照することにより行うので、伝達関数をデータ化して簡易な処理にて自在に特性が付与されたフィルタ演算を行うことができる。

## 【 0 0 1 7 】

請求項 7 に記載の情報再生装置は、請求項 2 から請求項 6 のいずれかに記載の情報再生装置において、前記トランスバーサルフィルタは、前記位相誤差信号の絶対値が所定のしきい値より大きいとき、前記中心タップの位置から最も離れたタップ位置のタップ係数を 0 にすることを特徴とする。

## 【 0 0 1 8 】

この発明によれば、トランスバーサルフィルタに供給される位相誤差信号の絶対値が大きい場合、タップ位置が離れているタップ係数をゼロにしてフィルタ演算を行うので、伝達関数におけるタップ位置の対称性のずれを抑えて高精度のフィルタ演算を行うことができる。

## 【 0 0 1 9 】

請求項 8 に記載の情報再生装置は、請求項 2 に記載の情報再生装置において、前記位相誤差信号は、前記クロックの 1 周期分を越える範囲で変化し、前記トランスバーサルフィルタは、前記位相誤差信号の変化に対応して前記複数のタップの接続を選択的に切り換えることを特徴とする。

## 【 0 0 2 0 】

この発明によれば、トランスバーサルフィルタに供給される位相誤差信号の変化の幅を大きくし、これに対応させて各タップの接続を切り換える構成にしたので、第 2 の PLL におけるサンプル値系列の補正可能な範囲を拡大することができる。

## 【 0 0 2 1 】

請求項 9 に記載の情報再生装置は、請求項 8 に記載の情報再生装置において、前記トランスバーサルフィルタは、 $n$  タップで構成され、前記位相誤差信号の変化に対応して隣接する  $m$  タップ ( $m < n$ ) を選択的に接続することを特徴とする。

## 【 0 0 2 2 】

この発明によれば、トランスバーサルフィルタでは、 $n$  タップ構成を基本としつつ、位相誤差信号の変化に対応して隣接する  $m$  タップを実際のフィルタ演算のために接続する構成にしたので、第 2 の PLL におけるサンプル値系列の補正可能な範囲を拡大することができる。

## 【 0 0 2 3 】

請求項 1 0 に記載の情報再生装置は、請求項 1 に記載の情報再生装置において、前記位相検出手段には、前記サンプル値系列のゼロクロスを検出するゼロクロス検出手段が含まれることを特徴とする。

## 【 0 0 2 4 】

この発明によれば、位相検出手段では、入力されたサンプル値系列のゼロクロスを検出し、これにより位相誤差を検出するので、ディジタル演算処理により高精度な位相誤差を求めることができる。

## 【 0 0 2 5 】

## 【発明の実施の形態】

以下、本発明の好適な実施の形態を図面に基づいて説明する。本実施形態においては、DVD等のディスク状記録媒体を再生し、ユーザデータを外部出力する情報再生装置に対し本発明を適用する場合の構成を説明する。

## 【 0 0 2 6 】

図 1 は、本実施形態に係る情報再生装置において、本発明に関する要部構成を示すブロック図である。図 1 においては、装着されたディスク 1 に対する再生動作を行うべく、ピックアップ 1 0 と、RF 信号生成部 1 1 と、A/D 変換器 1 2 と、クロック生成部 1 3 と、遅延要素 1 4 と、位相補正部 1 5 と、位相検出部 1 6 と、復調部 1 7 が含まれる。なお、かかる再生動作の全体は、CPU（不図示）により全体的に制御され、各構成要素に対して CPU から制御信号が送出される。

## 【 0 0 2 7 】

ここで、図 1 に示す構成では、第 1 の PLL とこれに従属する第 2 の PLL が含まれることが特徴である。第 1 の PLL は、A/D 変換器 1 2、遅延要素 1 4、第 2 の PLL、クロック生成部 1 3 によりループが構成される。一方、第 2 の PLL は、位相補正部 1 5 と位相検出部 1 6 によりループが構成される。本実施形態に係る情報再生装置では、後述するように、2 重に構成された第 1 の PLL と第 2 の PLL を協働させることにより位相同期の追従性、すなわち広帯域化が可能である。

## 【 0 0 2 8 】

図 1 の構成において、ピックアップ 1 0 は、ディスク 1 に光ビームを照射してピットパターンに対応する受光信号を出力するための図示しないレーザ光源、光学系、ディテクタを備えている。そして、R F 信号生成部 1 1 は、ピックアップ 1 0 から出力された受光信号に基づいて、ディスク 1 に形成されたピット列に応じてレベルが変化するアナログ再生信号である R F 信号を生成する。例えば、光ピックアップ 1 0 のディテクタが 4 分割形状であれば、4 つの領域からの受光信号の和をとることにより R F 信号が得られる。

## 【 0 0 2 9 】

A / D 変換器 1 2 は、クロック生成部 1 3 から供給される位相同期されたサンプリング用クロックに従って R F 信号をサンプリングすることにより、アナログ信号からデジタル信号への変換を行い、得られたサンプル値系列を出力する。理想的な条件であれば、A / D 変換器 1 2 から出力されるサンプル値系列は、ピット列にてサンプリングすべき位置に一致するが、種々の要因で位相誤差が生じるため、後述するような位相制御を行う必要が生じる。

## 【 0 0 3 0 】

クロック生成部 1 3 は、上述のサンプリング用クロックを生成するための V C O (Voltage Controlled Oscillator) を含み、この V C O の周波数と位相を制御電圧に基づいて制御することにより、サンプル値系列の位相同期をとることができる。また、クロック生成部 1 3 には、位相検出部 1 6 から出力される位相誤差信号を平滑化するためのループフィルタが含まれる。このループフィルタは、例えば所定の時定数を持つ積分器であり、その出力は上記の制御電圧を与えることになる。

## 【 0 0 3 1 】

遅延要素 1 4 は、第 1 の P L L のループ中に含まれる情報再生装置に各構成要素のうち、位相を遅延させる要因となる構成要素を総括的に表現するものである。具体的な遅延要素 1 4 としては、R F 信号の高域成分を強調するための高域強調回路や適応型の信号処理を施すための信号処理回路などを挙げることができる。かかる遅延要素 1 4 は、P L L に無駄時間を生じさせることにより位相余裕の

減少につながる。このことは、PLLを広帯域化する際に制限となるが、本実施形態においては後述する構成によってPLLの広帯域化を実現している。

#### 【0032】

位相補正部15は、遅延要素14を通った後のサンプル値系列の位相を補正すべく、複数のタップ構成により、サンプル値系列に対し所望の伝達関数に対応するタップ係数を用いてデジタルのフィルタ演算を施すトランスバーサルフィルタを含んでいる。かかるトランスバーサルフィルタは、後述の変換テーブルを参照してタップ係数を逐次更新しつつフィルタ演算を行うように構成され、上述の位相検出部16から供給される位相誤差信号に応じて適切なタップ係数が決定される。位相補正部15の具体的な構成及び動作については後述する。

#### 【0033】

位相検出部16は、位相補正部15から出力される位相補正後のサンプル値系列に対するゼロクロス検出を行ってゼロクロスサンプル値を抽出し、これに基づき位相誤差信号を生成する。この位相誤差信号は、上述の位相補正後のサンプル値系列から抽出される位相誤差からなるデータ系列であり、第2のPLLにおいては、上述したように位相補正部15に対し供給されるとともに、第1のPLLにおいては、クロック生成部13に対し供給される。

#### 【0034】

復調部17は、位相補正部15から出力される位相補正後のサンプル値系列に対し、エラー訂正など必要な信号処理を施すとともにユーザデータを復調して外部出力する。

#### 【0035】

このように本実施形態では、第1のPLLに加えて第2のPLLを設けた構成としたので、遅延要素14による影響を低減することができる。すなわち、第1のPLLのみ設ける構成では、遅延要素14により第1のPLLに無駄時間が生じ、位相余裕が減少することになるため、PLLの広帯域化が困難になる。これに対し、本実施形態の構成の場合、別途設けた第2のPLLのループ中には、遅延要素14が含まれないので、広帯域化が可能となる。すなわち、第1のPLLを低い帯域にし、第2のPLLを広帯域化することにより、ゆっくりとした外乱

には第1のPLLで追従する一方、高周波の外乱には第2のPLLでサンプル値系列の位相補正を行って、広い周波数範囲で良好な特性を実現することができる。

## 【0036】

次に、図1に含まれる位相検出部16の動作について具体的に説明する。図2は、位相検出部16における位相誤差の検出方法の概念を説明する図である。図2において、位相検出部16に入力されたサンプル値系列について、横軸がサンプル値の時間に対応し、縦軸がサンプル値（A/D変換器12のレンジに対応する）に対応する。そして、図2に配置された3つの白丸は、位相誤差がゼロとなる場合のサンプル値を表している。このとき、図2の範囲がゼロクロス近傍であるため、3つの白丸の各サンプル値が直線で結ばれるものと仮定できる。この直線は、横軸X、縦軸Y、図6のサンプル値Aを用いて次式のように表される。

## 【0037】

$$Y = AX / 2\pi \quad (1)$$

また、(1)式の横軸Xを $\pi$ で正規化すると(2)式のように表される。

## 【0038】

$$Y = AX / 2 \quad (2)$$

一方、位相検出部16では、サンプル値系列において図2の白丸の位置からずれた位置に存在するゼロクロスサンプル値を抽出する。ゼロクロスサンプル値としては、前後のサンプル値間で負から正、あるいは正から負へと極性が判定する場合に、その変化の方向に応じてゼロに最も近接する特定のサンプル値が選ばれる。このように選択されたゼロクロスサンプル値は、図2の黒丸で示されるとする。すると位相誤差kは、黒丸のサンプル値B、白丸のサンプル値Aを用い、横軸Xを $\pi$ で正規化することにより、次式のように表される。

## 【0039】

$$k = 2B / A \quad (3)$$

なお、実際には、上述の位相誤差kを含む実際のサンプル値系列が、図2の点線で示すように推移する。この場合、上記の黒丸のサンプル値Bは、図2にY軸上の四角で示すサンプル値Bとして選択される。すなわち、ゼロクロス近傍のサ

ンプル値系列は、次式により表される。

【0040】

$$Y = AX / 2 + B \quad (4)$$

このように、位相誤差  $k$  に対し上記の (3) 式に基づくサンプル値系列の変化に従って逐次更新を行うことにより、位相検出部 16 から位相誤差信号が出力され、それぞれクロック生成部 13 と位相補正部 15 に対しフィードバックされることになる。

【0041】

次に、図 1 に含まれる位相補正部 15 の構成及び動作について具体的に説明する。以下、図 3 ～ 図 11 を参照して、位相補正部 15 に関する基本的な概念と具体的な構成及び各変形例について説明する。

【0042】

まず、位相補正部 15 の動作概念を説明する。図 3 は、位相補正部 15 におけるサンプル値系列に対する位相補正の概念を示す図である。図 3 において、黒丸で示すサンプル値系列が時間軸に沿って順次入力されるものとする。そして、黒丸のうちゼロクロスに近い A 点は、外乱の影響でサンプル値がゼロにならない。この A 点のゼロからのずれは、位相検出部 16 で検出される位相誤差量に対応する。よって、この位相誤差量に基づいて位相補正部 15 においてサンプル値系列の位相を補正すると、図 3 の白丸で示すサンプル値系列を得ることができる。この場合、黒丸の A 点は白丸の B 点に移動するため、ゼロクロスサンプル値を得ることができる。かかる位相補正部 15 の動作は、図 3 の下側に示すように、RF 信号に対しクロック生成部 13 からのサンプリング用クロックでサンプリングを行った後、そのサンプリング用クロックから位相が若干ずれた仮想サンプリング用クロックで再度サンプリングを行うことと等価である。

【0043】

次に、位相補正部 15 の具体的な構成の前提として、トランスバーサルフィルタにより実現されるデジタルのフィルタ演算の概念を説明する。トランスバーサルフィルタにおける演算は、上述の位相誤差  $k$  を用いて、入力されたサンプル値系列に対する伝達関数  $H(z)$  により次式で表現される。

## 【0044】

$$H(z) = \sum A_n(k) \cdot z^{-n} \quad (-\infty \leq n \leq \infty) \quad (5)$$

$$A_n(k) = \sin(k + 2n\pi) / (k + 2n\pi) \quad (6)$$

この $A_n(k)$ によりトランスバーサルフィルタのタップ係数が与えられるのであるが、(5)、(6)式の条件は $n$ が無限の範囲を持つことになるので、現実的には有限のタップ係数にする必要がある。ここで、 $n \rightarrow \infty$ としたとき、(6)式に基づいて $A_n(k) \rightarrow 0$ となるため、 $-M \leq n \leq L$  ( $M, L$ ; 整数)の範囲で実現することができる。

## 【0045】

位相補正部15では、トランスバーサルフィルタの演算に必要なタップ係数が用意される。ここで、 $A_n(k) = A_{-n}(k)$ の関係が成り立てば、タップ係数を共通化してタップ数を減らすことができ、 $A_n(k)$  ( $0 \leq n \leq \max(M, L)$ )、あるいは、 $A_n(\text{abs}(k))$  ( $0 \leq k$ )についてのタップ係数を用意するだけでフィルタ演算を行うことができる(なお、 $\max$ は大きい数値を意味し、 $\text{abs}$ は絶対値を意味する)。

## 【0046】

次に図4は、位相補正部15の具体的構成を示すブロック図である。図4に示すように、本実施形態に係る位相補正部15には、4つの遅延素子101~104(図中Dで示す)と、4つのセレクタ201~204(図中SELで示す)と、5つの乗算器301~305と、加算器40が含まれる。また、図5は、図4の構成に付加される付加回路部の構成を示すブロック図であり、絶対値回路50と、変換テーブル60(5つのテーブル参照部T1~T5を含む)が含まれる。

## 【0047】

図4において、A/Dコンバータ12から遅延要素14を経由して供給されたサンプル値系列は、遅延素子101に入力されて1クロック分遅延されたサンプル値が出力される。それ以降は、遅延素子102、103、104の順にサンプル値が入力され順次1クロック分遅延されていく。また、遅延前のサンプル値が、乗算器301に入力されるとともに、各遅延素子101~104から出力されるサンプル値は、それぞれ乗算器302~305に入力される。このように、4つ



の遅延素子 1 0 1 ~ 1 0 4 を直列接続して、全部で 5 タップのトランスバーサルフィルタが構成される。

#### 【 0 0 4 8 】

一方、乗算器 3 0 1 ~ 3 0 4 に対し、位相検出部 1 6 からの位相誤差に応じたタップ係数を供給する必要がある、まず、図 5 に示すように、位相検出部 1 6 から出力された位相誤差  $k$  が絶対値回路 5 に入力され、位相誤差の絶対値  $abs(k)$  を出力する。すなわち、上述したように正負の位相誤差  $k$  でタップ係数を共有すべく、絶対値回路 5 により正の位相誤差  $k$  に統一するものである。このとき、位相誤差  $k$  の符号  $k - sign$  が取得され、後述するように図 4 の各セクタ 2 0 1 ~ 2 0 4 に対し供給される。

#### 【 0 0 4 9 】

そして、図 5 において、位相誤差の絶対値  $abs(k)$  に基づき、変換テーブル 6 0 の各テーブル参照部 T 1 ~ T 5 により参照されたテーブル値が出力される。ここで、図 6 は、タップ係数が記述された変換テーブル 6 0 のデータ内容を説明する図である。図 6 の横軸はタップ位置であり、1 クロック分が 1 に対応する。また、図 6 の縦軸はタップ位置に対応するテーブル値であり、これによりタップ係数が定まる。そして、図 6 の実線で示すように、インパルス応答の伝達関数に沿ってテーブル値が変化するように構成されている。

#### 【 0 0 5 0 】

図 6 に示す 5 つの白丸は、5 タップ構成に対応して、位相誤差  $k = 0$  のときに選択される 5 つのテーブル値を示している。すなわち、横軸がゼロである中心タップのテーブル値と、中心タップの位置から左右に対称なタップ位置 - 1、- 2、1、2 の各タップ位置のテーブル値である。このとき、図 5 の変換テーブル 6 0 では、テーブル参照部 T 1 がタップ位置 - 2 のテーブル値を出力し、テーブル参照部 T 2 がタップ位置 - 1 のテーブル値を出力し、テーブル参照部 T 3 が中心タップ（タップ位置 0）のテーブル値を出力し、テーブル参照部 T 4 がタップ位置 1 のテーブル値を出力し、テーブル参照部 T 5 がタップ位置 2 のテーブル値を出力する。このように、第 2 の PLL において位相誤差  $k$  がゼロである状態では、上記の 5 つの白丸に対応するタップ係数が用いられる。その結果、トランスバ

ーサルフィルタは、サンプル値系列に対しインパルス応答を乗じるように作用し、時間軸の推移は生じないことになる。

## 【0051】

一方、位相誤差  $k$  がゼロでないときは、上述の白丸のタップ位置をずらしてテーブル値が参照される。例えば、位相誤差  $k = \pi$  のときには、図5の白丸を基準にして矢印方向にシフトした5つの黒丸で示すテーブル値が選択される。すなわち、5つの黒丸のタップ位置は、白丸のタップ位置から0.5だけ左にシフトすることになる。このとき、図5の変換テーブル60では、テーブル参照部T1～T5が、それぞれ位相誤差  $k$  に応じてシフトされたタップ位置のテーブル値を出力する。図4においては、各テーブル参照部T1～T5からタップ位置-2、-1、0、1、2を基準に位相誤差  $k$  の関数である5つのテーブル値  $B_{-2}(|k|)$ 、 $B_{-1}(|k|)$ 、 $B_0(|k|)$ 、 $B_1(|k|)$ 、 $B_2(|k|)$  がそれぞれ出力される。その結果、トランスバーサルフィルタは、サンプル値系列に対し、時間軸で推移したインパルス応答を乗じるように作用するので、サンプル値系列の位相補正が行われることになる。

## 【0052】

次に、図4において、セレクトア201～204は、位相誤差  $k$  の符号  $k\text{-sign}$  に基づいて接続を切り換え制御されながら、乗算器301～305に対するタップ係数を供給する。この符号  $k\text{-sign}$  としては、位相誤差  $k$  の符号ビット(MSB)を用いればよい。各セレクトア201～204に入力された2つのテーブル値のうち、位相誤差  $k$  が正であるときは( $k\text{-sign}$  がローレベル)上側が選択され、位相誤差  $k$  が負であるときは( $k\text{-sign}$  がハイレベル)下側が選択される。そして、選択結果に応じてセレクトア201～204からタップ係数  $A_2(k)$ 、 $A_1(k)$ 、 $A_{-1}(k)$ 、 $A_{-2}(k)$  がそれぞれ出力される。

## 【0053】

具体的には、位相誤差  $k$  が正であるとき、セレクトア201～204では、テーブル値  $B_2(|k|)$ 、テーブル値  $B_1(|k|)$ 、テーブル値  $B_{-1}(|k|)$ 、テーブル値  $B_{-2}(|k|)$  がそれぞれのタップ係数として選択される。一方、位相誤差  $k$  が負であるとき、セレクトア201～204では、テーブル値  $B_{-2}(|k|)$ 、テ

ブル値  $B_{-1}(|k|)$ 、テーブル値  $B_1(|k|)$ 、テーブル値  $B_2(|k|)$  がそれぞれのタップ係数として選択される。

【0054】

そして、最初の乗算器 301 では、入力されたサンプル値に対し、セレクタ 201 からのタップ係数  $A_2(k)$  を乗じて乗算結果を出力する。また、乗算器 302 では、遅延素子 101 からのサンプル値に対し、セレクタ 202 からのタップ係数  $A_2(k)$  を乗じて乗算結果を出力する。

【0055】

一方、中心タップに対応する乗算器 303 では、変換テーブル 60 のテーブル参照部 T3 のテーブル値  $B_0(|k|)$  をそのままタップ係数  $A_0(k)$  とし、これを遅延素子 102 からのサンプル値に乗じて乗算結果を出力する。図 5 に示されるように、中心タップのタップ位置 0 では、位相誤差  $k$  が正負いずれであっても変化の方向が同じになるのでセレクタは不要となる。

【0056】

次に、乗算器 304 では、遅延素子 103 からのサンプル値に対し、セレクタ 203 からのタップ係数  $A_{-1}(k)$  を乗じて乗算結果を出力する。また、乗算器 305 では、遅延素子 104 からのサンプル値に対し、セレクタ 204 からのタップ係数  $A_{-2}(k)$  を乗じて乗算結果を出力する。

【0057】

このようにして、5つの乗算器 301～305 から出力された5つの乗算結果は、加算器 40 に入力されて加算され、その加算結果が出力される。加算器 40 から出力される加算結果は、位相誤差  $k$  に相当する位相補正がなされたサンプル値系列として、位相検出部 16 及びクロック生成部 13 に出力される。

【0058】

次に、位相補正部 15 の第1の変形例について説明する。図 7 は、第1の変形例に係る位相補正部 15 の具体的構成を示すブロック図である。図 7 に示すように、図 4 の構成と比べた場合、セレクタ 205 とコンパレータ 701 (図中 C で示す) を設けた点が異なっている。なお、第1の変形例に係る付加回路は、図 5 と同様の構成となる。

## 【 0 0 5 9 】

図 7 において、コンパレータ 7 0 1 には、図 5 の絶対値回路 5 0 から出力された位相誤差の絶対値  $abs(k)$  と、所定のしきい値  $TH$  が入力され、両者の大小比較を行って、 $abs(k)$  がしきい値  $TH$  より大きいときに信号  $GT$  を出力する。この信号  $GT$  はセレクトア 2 0 5 に供給される。

## 【 0 0 6 0 】

一方、セレクトア 2 0 5 には、上述のテーブル値  $B_2(|k|)$  とゼロが入力され、その一方が選択的に後段のセレクトア 2 0 1 及びセレクトア 2 0 4 に出力される。セレクトア 2 0 5 の接続は、信号  $GT$  に基づいて切り換え制御され、信号  $GT$  (ハイレベル) が入力された場合はゼロが選択され、セレクトア 2 0 1 及びセレクトア 2 0 4 に対する一方の入力がゼロになる。この結果、 $abs(k)$  がしきい値  $TH$  より大きい状況下で、位相誤差  $k$  が正であるときはセレクトア 2 0 1 からゼロが出力され、位相誤差  $k$  が負であるときはセレクトア 2 0 4 からゼロが出力される。

## 【 0 0 6 1 】

ここで、図 8 は、図 6 の変換テーブル 6 0 に対応して、第 1 の変形例で用いるタップ係数用の変換テーブル 6 0 のデータ内容を説明する図である。図 8 においては、図 6 と同様の白丸の位置を基準にして、矢印方向に 0.5 だけシフトした場合に、4 つの黒丸と左端の×印が示されている。この×印は、図 7 のセレクトア 2 0 5 とコンパレータ 7 0 1 の上述の作用により、本来のタップ係数  $A_{-2}(k)$  が無効となって、ゼロになることを示す。

## 【 0 0 6 2 】

この場合、左端の×印をタップ係数として有効にすると、図 8 においてタップ位置が全体的に左にシフトし対称性が確保できないのに対し、左端の×印のタップ係数を無効にして実質的に 4 タップ構成になるようにすれば、タップ係数の対称性をある程度確保可能となる。なお、かかる説明は、図 8 に右端に×印で示すようにタップ位置が全体的に右にシフトした場合も同様に考えることができる、このように、第 1 の変形例では、図 7 に示すしきい値  $TH$  に基づいて一端のタップ位置におけるタップ係数の有効、無効を切り換えることにより、タップ係数の対称性を向上させることができる。

## 【0063】

次に、位相補正部15の第2の変形例について説明する。この第2の変形例においては、基本的な役割は上記の第1の変形例と共通するが、トランスバーサルフィルタの具体的構成が異なる。すなわち、第1の変形例の場合は、セレクタ201～204によりタップ係数を選択的に切り換える構成であるのに対し、第2の変形例の場合は、タップ（遅延素子101～104）を選択的に切り換える構成になっている。

## 【0064】

図9は、第2の変形例に係る位相補正部15の具体的構成を示すブロック図である。図9に示す構成では、図7の第1の変形例におけるセレクタ201～205に代わって、各遅延素子101～104に接続されるセレクタ206～209と、セレクタ206に後続するセレクタ210を設けた点が異なっている。なお、第2の変形例に係る付加回路についても図5と同様の構成となる。

## 【0065】

両端のセレクタ206及びセレクタ209には、遅延前のサンプル値と遅延素子104から出力されるサンプル値がそれぞれ入力される。また、中間のセレクタ207及びセレクタ208には、遅延素子101から出力されるサンプル値と遅延素子103から出力されるサンプル値がそれぞれ入力される。そして、各セレクタ206～209には、位相誤差 $k$ の符号 $k\text{-sign}$ が供給され、その接続を切り換え制御される。また、セレクタ210には、セレクタ206からの出力及びゼロが入力され、上述のコンパレータ701から出力される信号GTにより接続を切り換え制御される。

## 【0066】

一方、乗算器301～305に対しては、図7のようにセレクタ201～204を介さずに、変換テーブル60に基づく5つのテーブル値 $B_{-2}(|k|)$ 、 $B_{-1}(|k|)$ 、 $B_0(|k|)$ 、 $B_1(|k|)$ 、 $B_2(|k|)$ 、がそのままタップ係数 $A_{-2}(k)$ 、 $A_{-1}(k)$ 、 $A_0(k)$ 、 $A_1(k)$ 、 $A_2(k)$ として直接入力される。また、乗算器301、302、304、305への他方の入力には、セレクタ210、207、208、209の順で接続され、中央の乗算器303への他方

の入力には、遅延素子 1 0 2 が直接接続される構成になっている。

#### 【 0 0 6 7 】

上記の構成において、 $abs(k)$  がしきい値  $TH$  を越えない条件の下で、位相誤差  $k$  が正であるときは、セレクタ 2 0 6、2 0 7、2 0 8、2 0 9 の接続は、図 9 の左側の入力 that それぞれ選択される。よって、乗算器 3 0 1 ~ 3 0 5 には、遅延前のサンプル値、遅延素子 1 0 1 からのサンプル値、遅延素子 1 0 2 からのサンプル値、遅延素子 1 0 3 からのサンプル値、遅延素子 1 0 4 からのサンプル値の順で入力されることになる。一方、位相誤差  $k$  が負であるときは、セレクタ 2 0 6、2 0 7、2 0 8、2 0 9 の接続は、図 9 の右側の入力 that それぞれ選択される。よって、乗算器 3 0 1 ~ 3 0 5 には、遅延素子 1 0 4 からのサンプル値、遅延素子 1 0 3 からのサンプル値、遅延素子 1 0 2 からのサンプル値、遅延素子 1 0 1 からのサンプル値、遅延前のサンプル値の順で入力されことになる。

#### 【 0 0 6 8 】

これに対し、 $abs(k)$  がしきい値  $TH$  より大きい条件の下では、セレクタ 2 1 0 の入力としてゼロが選択されるので、位相誤差  $k$  が正、負いずれの場合であっても乗算器 3 0 1 には常にゼロが入力されることになる。よって、位相誤差  $k$  が正であるときの遅延前のサンプル値に対するタップ係数と、位相誤差  $k$  が負であるときの遅延素子 1 0 4 からのサンプル値に対するタップ係数は、いずれもゼロにすることができる。すなわち、中心タップから最も離れたタップ位置のタップ係数をゼロにして、演算処理を行うことができる。

#### 【 0 0 6 9 】

このように、第 2 の変形例の構成により、上述の第 1 の変形例と同様の機能を実現することができる。図 9 の構成によれば、位相誤差  $k$  が正の場合と負の場合とでは、乗算器 3 0 1 ~ 3 0 5 に対応するタップ位置が互いに逆の関係になるので、結果的に図 7 のセレクタ 2 0 1 ~ 2 0 4 と同様の演算が可能になる。なお、しきい値  $TH$  がゼロに設定される場合は、コンパレータ 7 0 1 とセレクタ 2 1 0 を省略でき、また、 $k = 0$  の場合は  $B_{-2}(|k|) = 0$  となるため乗算器 3 0 1 も省略でき、これによりセレクタ 2 0 6 も省略でき、すなわち実効 4 タップのトランスバーサルフィルタで構成することが可能となるので、全体の構成を簡略

化することができる。

#### 【0070】

次に、位相補正部15の第3の変形例について説明する。図10は、第3の変形例に係る位相補正部15の具体的構成を示すブロック図である。図10に示すように、図4の構成と比べた場合、全部で6個の遅延素子105～110、及び各遅延素子105～110に接続される5つのセレクタ211～215が設けられるとともに、各セレクタ205～214の接続を切り換えるための選択信号TAP-SELが供給される点が異なっている。

#### 【0071】

一方、図11は、第3の変形例に係る付加回路部の構成を示すブロック図であり、図5の構成と比べた場合、絶対値回路50と変換テーブル60に加えて、コンパレータ702～705と、AND回路801～803と、セレクタ216と、減算器90を含んで構成される点が異なっている。

#### 【0072】

この第3の変形例は、入力される位相誤差 $k$ がより広い範囲（ここでは $-3\pi \sim 3\pi$ を想定する）で変化する場合に対応する構成である。まず、図11に示す付加回路部では、位相誤差 $k$ が4つのコンパレータ702～705にそれぞれ入力される。一方、各コンパレータ702～705の他方の入力として、位相誤差量の4つのしきい値（ $3\pi$ 、 $\pi$ 、 $-\pi$ 、 $-3\pi$ ）が設定されている。すなわち、コンパレータ702には $3\pi$ 、コンパレータ703には $\pi$ 、コンパレータ704には $-\pi$ 、コンパレータ705には $-3\pi$ がそれぞれ入力され、上述の位相誤差 $k$ との大小比較が行われる。各コンパレータ702～705では比較の結果、位相誤差 $k$ が上記のしきい値より大きい場合は信号GTを出力し、位相誤差 $k$ が上記のしきい値より小さい場合は信号LTを出力する。

#### 【0073】

AND回路801～803には、各コンパレータ702～705からの信号GT、LTが入力される。具体的には、位相誤差 $k$ が $\pi \sim 3\pi$ の範囲にあるときは、コンパレータ702から信号LTが出力されるとともに、コンパレータ703から信号GTが出力されるので、AND回路801がハイレベルとなる（信号c

）。また、位相誤差  $k$  が  $-\pi \sim \pi$  の範囲にあるときは、コンパレータ 703 から信号  $L T$  が出力されるとともに、コンパレータ 704 から信号  $G T$  が出力されるので、AND 回路 802 がハイレベルとなる（信号  $b$ ）。また、位相誤差  $k$  が  $-3\pi \sim -\pi$  の範囲にあるときは、コンパレータ 704 から信号  $L T$  が出力されるとともに、コンパレータ 705 から信号  $G T$  が出力されるので、AND 回路 803 がハイレベルとなる（信号  $a$ ）。一方、位相誤差  $k$  が  $3\pi$  より大きいとか又は  $-3\pi$  より小さいときは、AND 回路 801～803 はいずれもローレベルを保つ。

## 【0074】

このように、位相誤差  $k$  の  $-3\pi \sim 3\pi$  の範囲を 3 つに分割し、図 11 に示す選択信号  $TAP-SEL$  として、 $a$ 、 $b$ 、 $c$  が選択的に出力される構成になっている。この選択信号  $TAP-SEL$  は、後述するように図 10 のセクタ 211～215 に対し供給されるとともに、図 11 のセクタ 216 に対しても供給される。

## 【0075】

一方、減算器 90 では、位相誤差  $k$  が入力され、セクタ 216 からの出力信号を減算して、その減算結果  $k - sub$  を出力する。セクタ 216 は、 $2\pi$ 、 $0$ 、 $-2\pi$  の 3 つの固定値が入力され、選択信号  $TAP-SEL$  に応じて接続が切り換えられる。すなわち、セクタ 216 からは、 $TAP-SEL = a$  のときは  $-2\pi$  が出力され、 $TAP-SEL = b$  のときは  $0$  が出力され、 $TAP-SEL = c$  のときは  $2\pi$  が出力される。

## 【0076】

よって、減算器 90 において、位相誤差  $k$  が  $-3\pi \sim -\pi$  の範囲にあるときは  $2\pi$  が加算され（ $-2\pi$  が減算され）、位相誤差  $k$  が  $-\pi \sim \pi$  の範囲にあるときは加減算を行わず、位相誤差  $k$  が  $\pi \sim 3\pi$  の範囲にあるときは  $2\pi$  が減算されることになる。すなわち、 $-3\pi \sim 3\pi$  の範囲で入力される位相誤差  $k$  の範囲を  $-\pi \sim \pi$  の範囲とし、これ以降の絶対値回路 50 及び変換テーブル 60 における処理を図 5 と共通にしている。

## 【0077】



次に図10において、5つのセレクタ211～215には、各遅延素子105～110を含むサンプル値系列のタップ構成において、それぞれ隣接する3つのサンプル値が入力される。例えば、最初のセレクタ211には、遅延される前のサンプル値と、1クロック分遅延された遅延素子105からのサンプル値と、2クロック分遅延された遅延素子106からのサンプル値が入力される。同様に、セレクタ212、213、214、215の場合も、この順で1クロック分ずつシフトされて、それぞれ3つのサンプル値が入力される構成になっている。

#### 【0078】

そして、各セレクタ211～215は、選択信号TAP-SELに基づいて接続を切り換え制御される。図10に示すように、TAP-SEL=aのときは左側のサンプル値が選択され、TAP-SEL=bのときは中央のサンプル値が選択され、TAP-SEL=cのときは右側のサンプル値が選択される。すなわち、位相誤差 $k$ の範囲が $-3\pi \sim -\pi$ であるときは、セレクタ211～215に対する接続は、遅延前のサンプル値から遅延素子108のサンプル値までの5タップ構成となる。また、位相誤差 $k$ の範囲が $-\pi \sim \pi$ であるときは、セレクタ211～215に対する接続は、遅延素子105～109のサンプル値の5タップ構成となる。また、位相誤差 $k$ の範囲が $\pi \sim 3\pi$ であるときは、セレクタ211～215に対する接続は、遅延素子106～110のサンプル値の5タップ構成となる。

#### 【0079】

よって、5つの乗算器301～305に対する入力、選択信号TAP-SELに基づきシフトされた5タップ構成のサンプル値となる。すなわち、遅延素子105～110により全体で7タップ構成のトランスバーサルフィルタにおいて、隣接する5タップの組み合わせから、位相誤差 $k$ に適合するものを選択する構成になっている。

#### 【0080】

図12に示すように、上記の選択信号TAP-SELを使用せず、セレクタ211～215を設けずに位相補正部15を構成する場合には、タップ係数 $A_2(k) \sim A_{-2}(k)$ は各々範囲R1を網羅する必要がある。しかし、図10及び

図 1 1 に示すような構成とすることで、タップ係数  $A_0(k)$  は範囲 R 2 を、タップ係数  $A_1$ 、 $A_{-1}$  は範囲 R 3 を、タップ係数  $A_2$ 、 $A_{-2}$  は範囲 R 4 をそれぞれ網羅すればよいことになる。これにより、各タップ係数  $A_2(k) \sim A_{-2}(k)$  は同じ分解能（ビット数）で表現する場合であっても、より高精度に表現することができる。あるいは、範囲 R 1 に対応する分解能で表現した場合、範囲 R 2、R 3、R 4 を用いることによりビット数を削減することができ、位相補正部 1 5 の回路規模を小さくすることができる。

## 【 0 0 8 1 】

以上、図 1 ～図 1 2 により本実施形態と各変形例を詳述したが、基本的な効果はいずれも共通する。すなわち、位相補正部 1 5 と位相検出部 1 6 からなる第 2 の PLL と、この第 2 の PLL とクロック生成部 1 2 からなり遅延要素 1 4 が挿入された第 1 の PLL を含むように構成されている点が本発明の特徴である。かかる特徴により、上述したように情報再生装置においてサンプル値系列に位相同期されたクロックを生成すべく、良好な追従性で安定な PLL を実現することが可能となる。

## 【 0 0 8 2 】

なお、以上の実施形態では、位相補正部 1 5 のトランスバーサルフィルタは、タップ係数を参照するための変換テーブル 6 0 を用いる構成としたが、変換テーブル 6 0 に代わり乗算器、加算器、減算器などの回路要素を組み合わせてタップ係数を出力する構成としてもよい。また、位相補正部 1 5 において、タップに接続される複数の乗算器を用いてフィルタ演算を行うタイプのトランスバーサルフィルタを示したが、タップに接続される複数の加算器・減算器を用いてフィルタ演算を行うタイプのトランスバーサルフィルタを用いてもよい。

## 【 0 0 8 3 】

また、上記実施形態では、位相補正部 1 5 では、複数タップで構成されたトランスバーサルフィルタによるフィルタ演算を行うとともに、位相検出部 1 6 ではサンプル値系列のゼロクロスを検出する構成を説明したが、これに限られることなく、第 1 の PLL に加えて、位相補正部及び位相検出部に基づく第 2 の PLL を設けた構成に対し広く本発明を適用することができる。

【 0 0 8 4 】

【発明の効果】

以上説明したように本発明によれば、サンプル値系列に対し位相同期したクロックを生成する場合、位相補正手段と位相検出部を設けることにより、第1のPLLに従属する第2のPLLを構成するようにしたので、遅延要素の影響を回避して容易にPLLの広帯域化を実現し、良好な追従性で安定な位相同期を実現可能な情報記録再生装置を提供することができる。

【図面の簡単な説明】

【図1】

本実施形態に係る情報再生装置の要部構成を示すブロック図である

【図2】

位相検出部における位相誤差の検出方法の概念を説明する図である

【図3】

位相補正部におけるサンプル値系列に対する位相補正の概念を示す図である。

【図4】

位相補正部の具体的構成を示すブロック図である。

【図5】

図4の構成に付加される付加回路部の構成を示すブロック図である。

【図6】

タップ係数用の変換テーブルのデータ内容を説明する図である。

【図7】

本実施形態の第1の変形例に係る位相補正部の具体的構成を示すブロック図である。

【図8】

図6の変換テーブルに対応して、第1の変形例で用いるタップ係数用の変換テーブルのデータ内容を説明する図である。

【図9】

本実施形態の第2の変形例に係る位相補正部の具体的構成を示すブロック図である。

【図 1 0】

本実施形態の第 3 の変形例に係る位相補正部の具体的構成を示すブロック図である。

【図 1 1】

第 3 の変形例に係る付加回路部の構成を示すブロック図である。

【図 1 2】

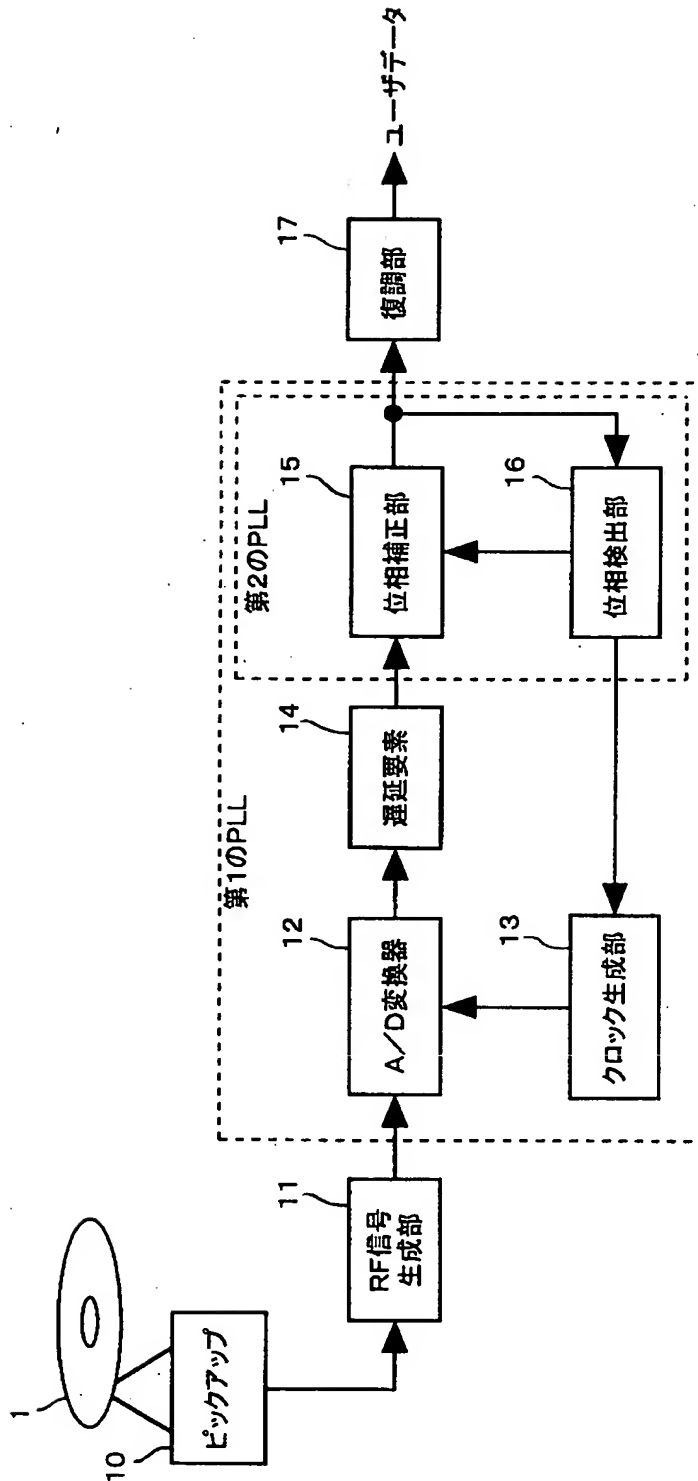
各タップ係数の範囲を説明する図である。

【符号の説明】

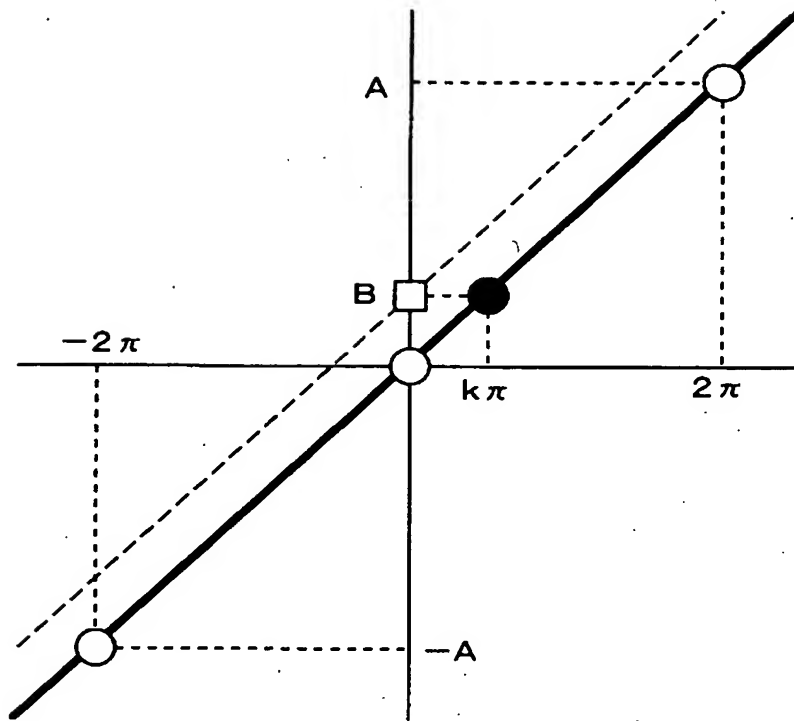
- 1 … ディスク
- 1 0 … ピックアップ
- 1 1 … R F 信号生成部
- 1 2 … A / D 変換器
- 1 3 … クロック生成部
- 1 4 … 遅延要素
- 1 5 … 位相補正部
- 1 6 … 位相検出部
- 1 7 … 復調部
- 1 0 1 ～ 1 1 0 … 遅延素子
- 2 0 1 ～ 2 1 6 … セレクタ
- 3 0 1 ～ 3 0 … 乗算器
- 4 0 … 加算器
- 5 0 … 絶対値回路
- 6 0 … 変換テーブル
- 7 0 1 ～ 7 0 5 … コンパレータ
- 8 0 1 ～ 8 0 3 … A N D 回路
- 9 0 … 減算器

【書類名】 図面

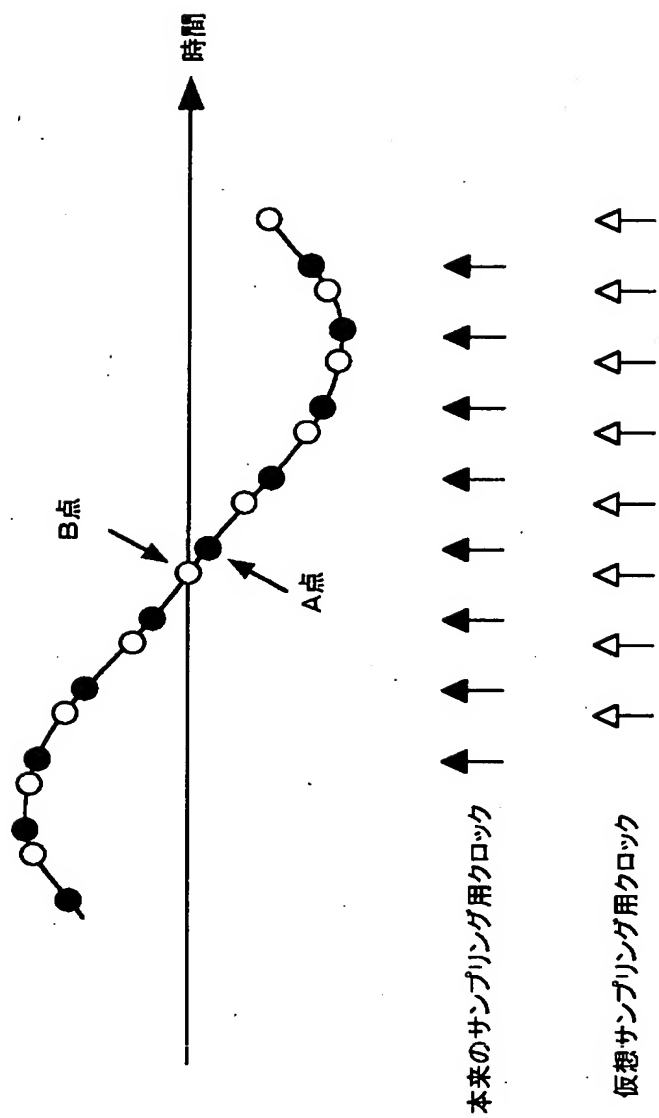
【図 1】



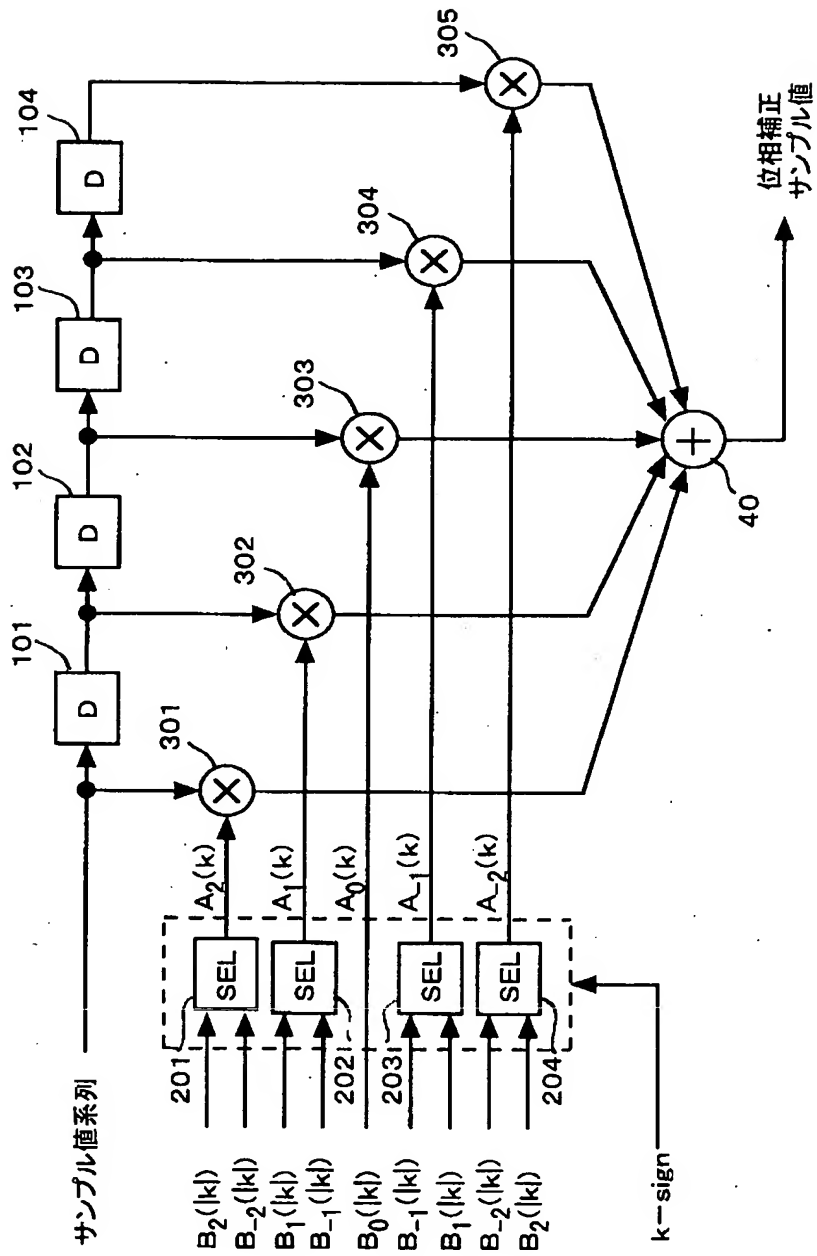
【図 2】



【図3】

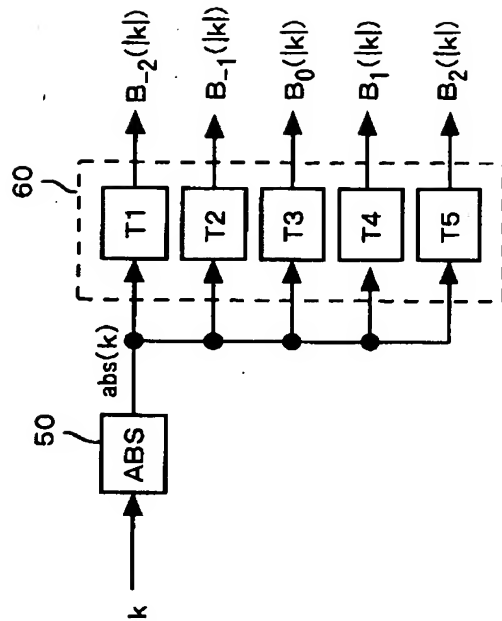


【図 4】

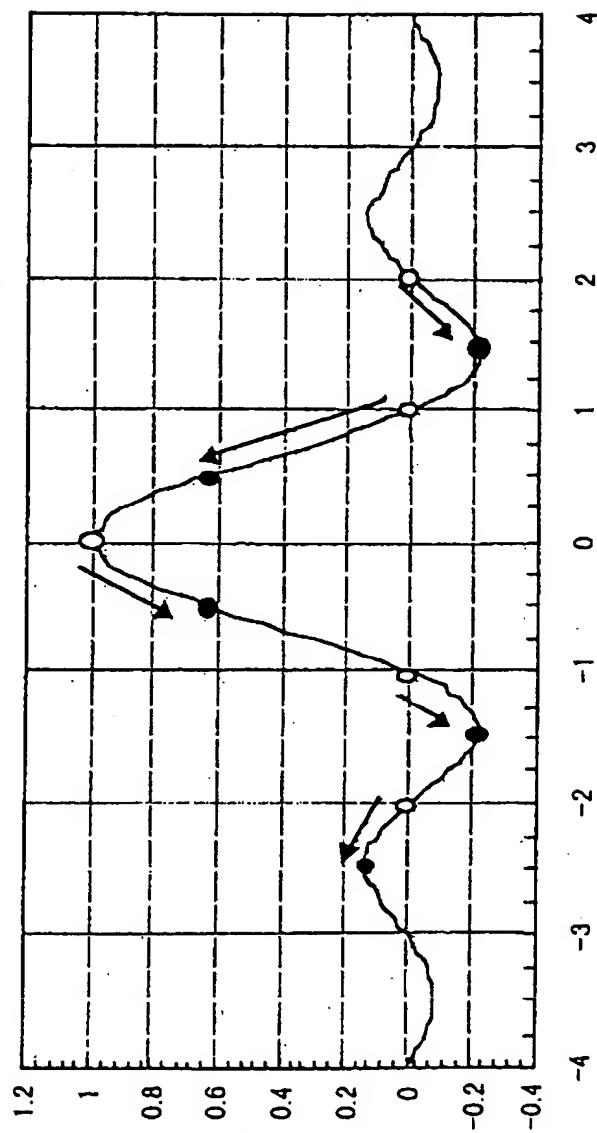




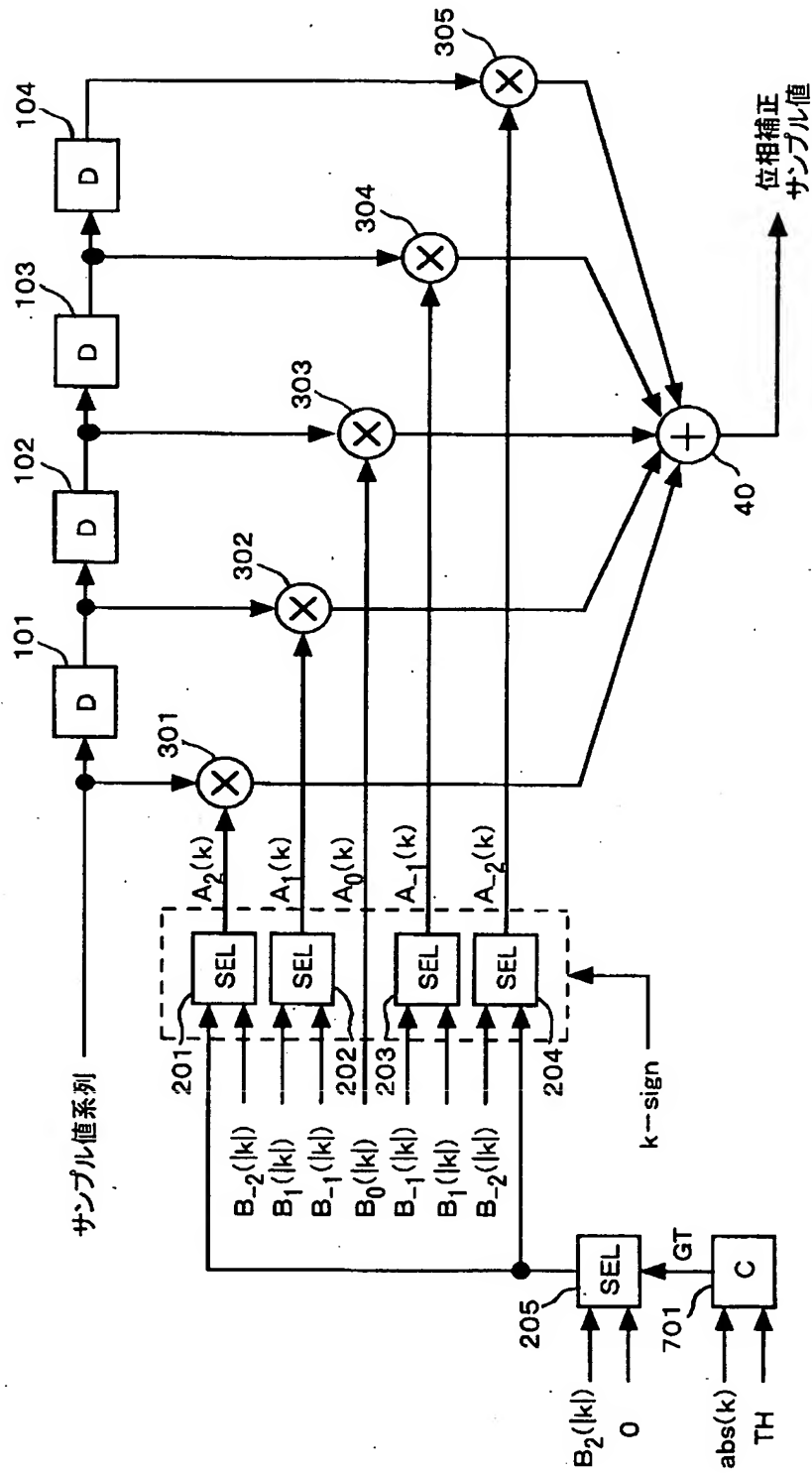
【図 5】,



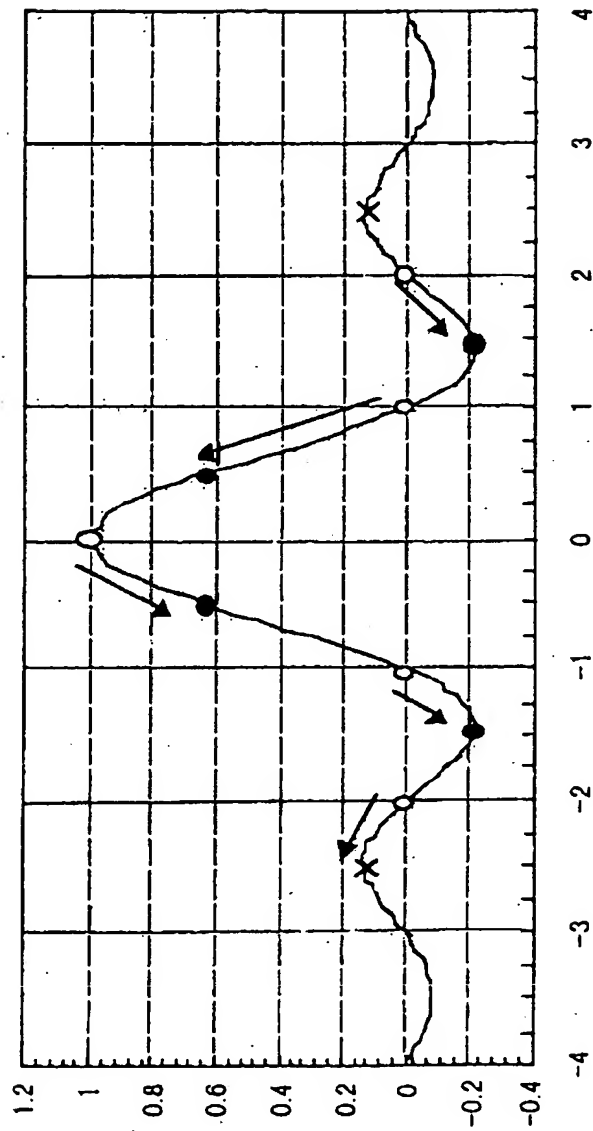
【図 6】



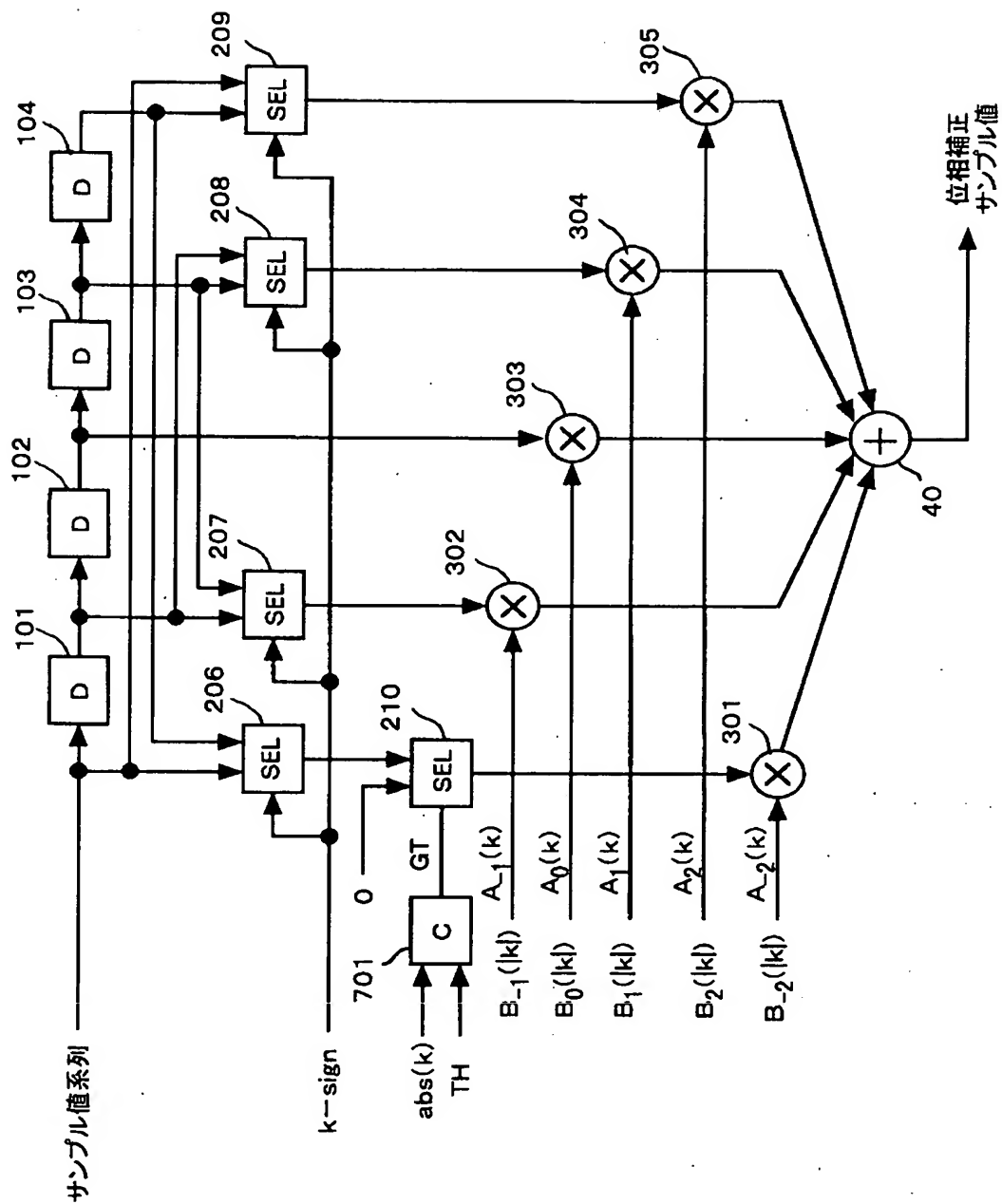
【図 7】



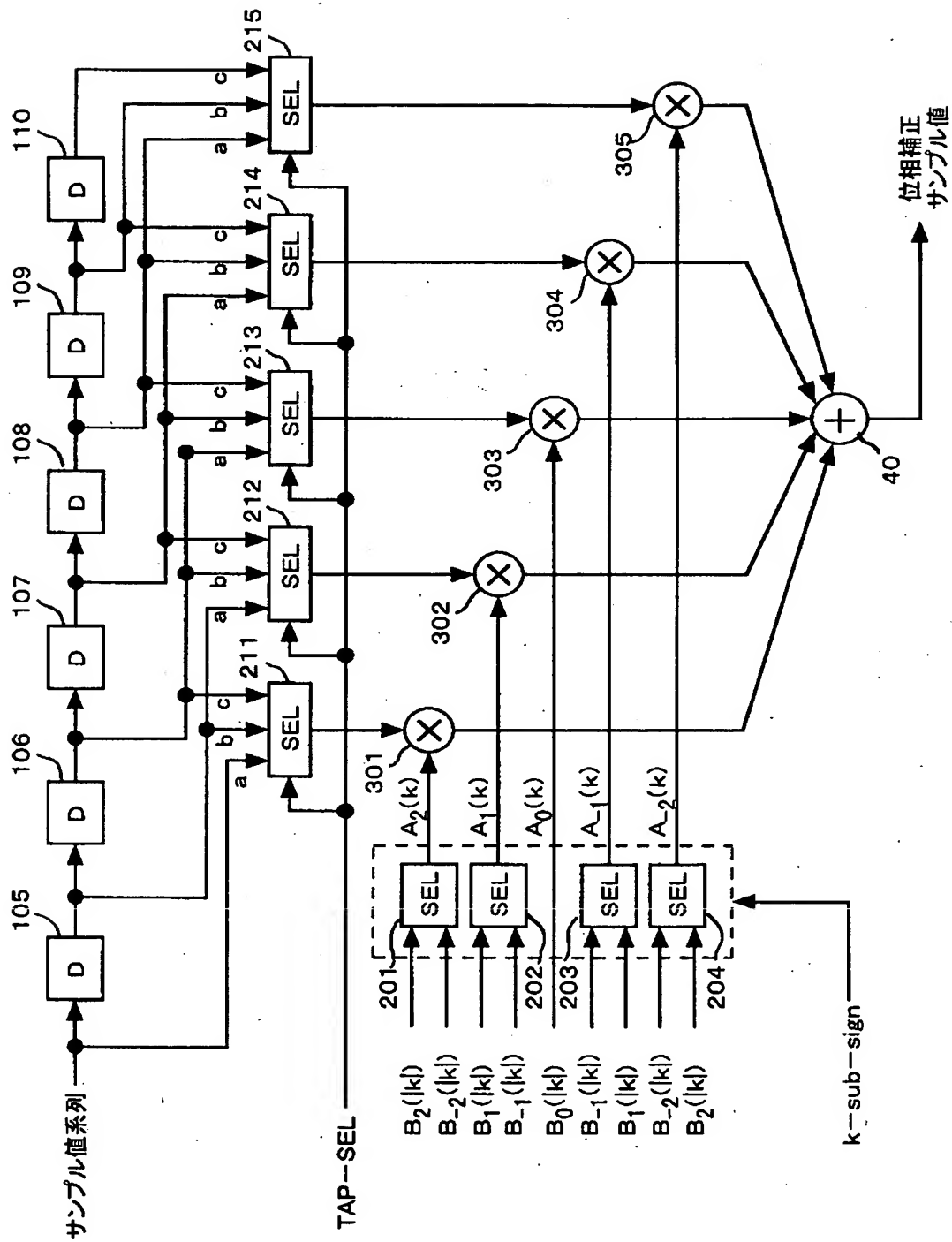
【図8】



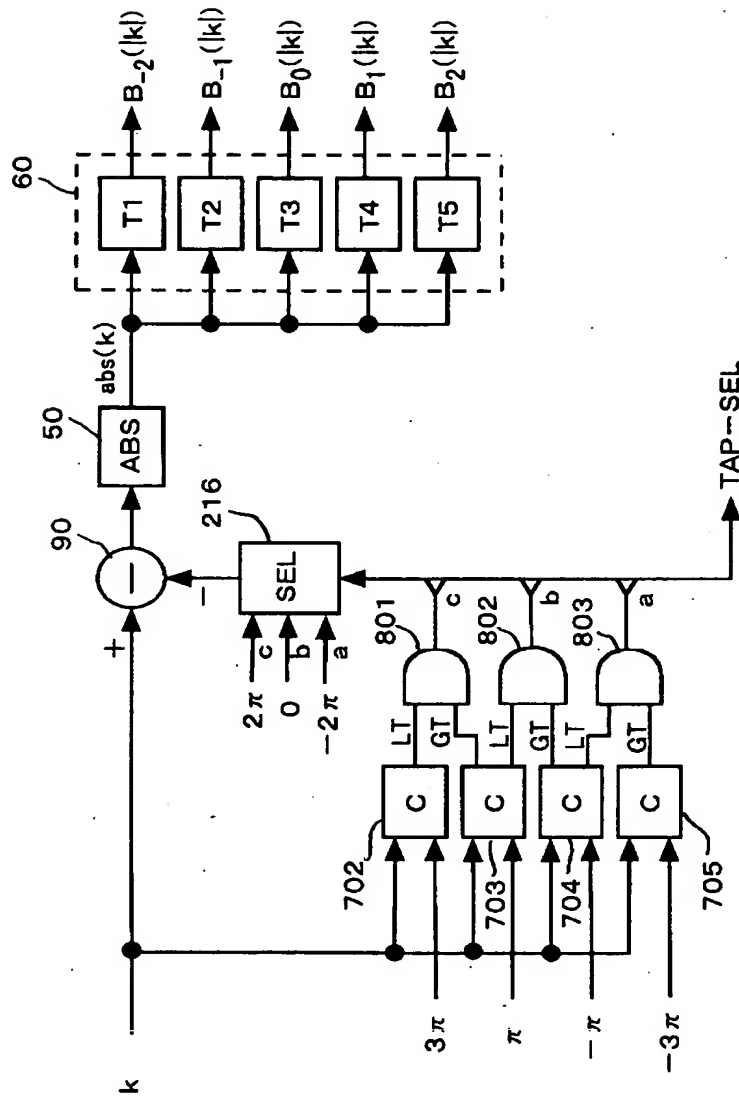
【図 9】



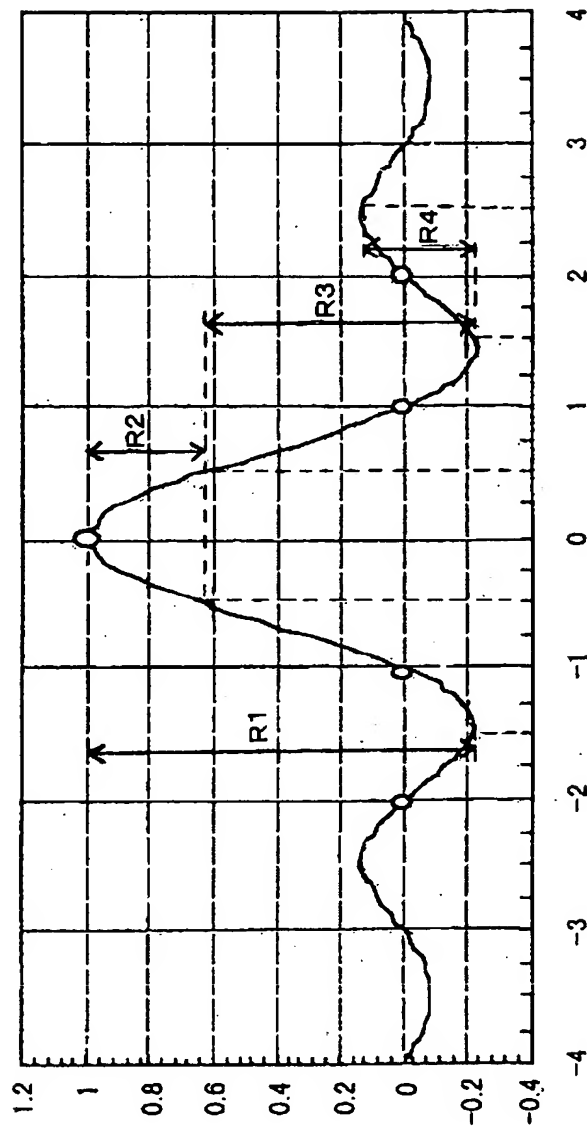
【図 10】



【図 11】



【図 12】





【書類名】 要約書

【要約】

【課題】 遅延要素の影響を受けずに PLL を広帯化し、サンプル値系列に対し良好な追従性で安定な位相同期を実現可能な情報記録再生装置を提供する。

【解決手段】 情報再生装置では、ディスク 1 からピックアップ 1 0 と RF 信号生成部 1 1 を経由して A/D 変換器 1 2 に入力された RF 信号は、クロック生成部 1 3 からのサンプリング用クロックに従ってサンプリングされ、サンプル値系列に変換される。このサンプル値系列は、遅延要素 1 4 を介して位相補正部 1 5 に入力され、位相検出部 1 6 からの位相誤差信号に基づいて位相を補正された後、復調部 1 7 で復調されてユーザデータとなる。一方、位相が補正されたサンプル値系列は、位相検出部 1 6 に入力されて位相誤差が検出され、生成された位相誤差信号が位相補正部 1 5 とクロック生成部 1 3 にそれぞれ供給される。このように第 1 の PLL とこれに従属する第 2 の PLL が構成されるので、ループ中に遅延要素 1 4 が含まれない第 2 の PLL を容易に広帯域化できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住 所 東京都目黒区目黒1丁目4番1号  
氏 名 パイオニア株式会社